



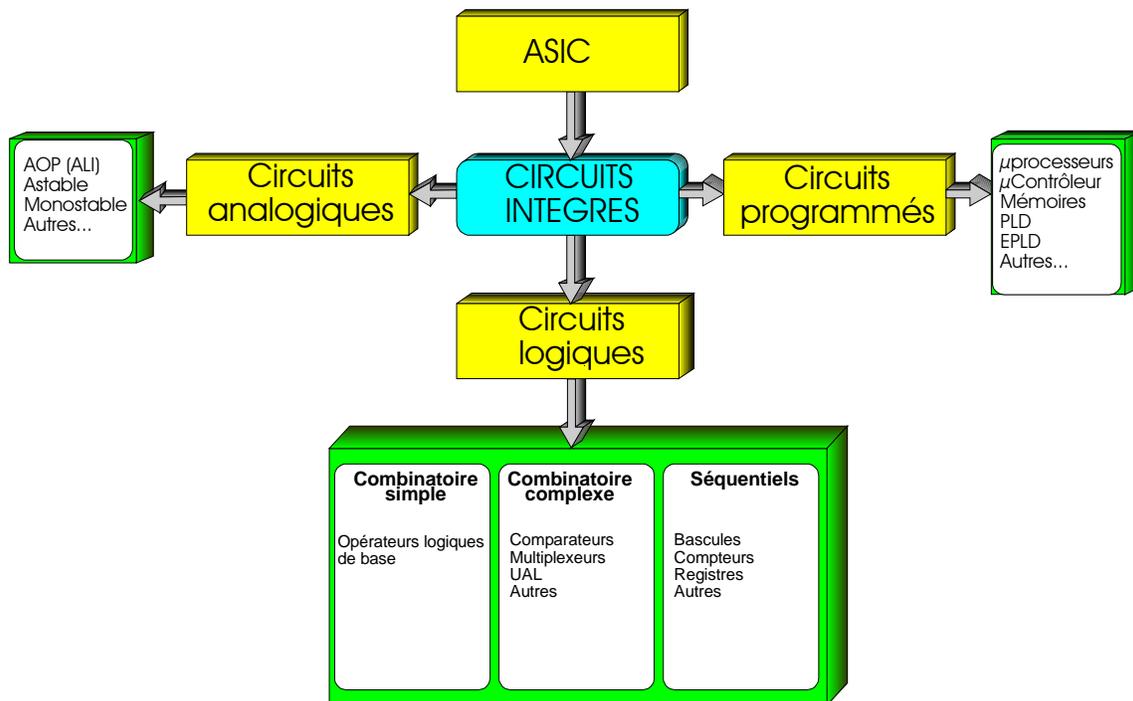
TECHNOLOGIE DES CIRCUITS INTÉGRÉS

I/ INTRODUCTION

Le besoin de miniaturisation et de réduction des coûts ont depuis longtemps poussé les fabricants de composants électroniques à intégrer au maximum les structures électroniques donnant naissance aux CIRCUITS INTEGRES.

Si à l'heure actuelle tout ne peut pas encore être intégré (éléments nécessitant une forte dissipation de chaleur, condensateurs de grosse capacité, tubes électroniques...), il faut reconnaître que chaque jour de nouveaux pas sont franchis dans la miniaturisation (un transistor est placé dans un carré de $0,1\mu\text{m}$ de coté à l'heure actuelle).

Les circuits intégrés sont classés selon leurs caractéristiques et leur domaine d'emploi. Le classement peut être le suivant:



ASIC : *Application Specific Integrated Circuit* ce qui signifie : circuit intégré spécifique à une application. Ce sont des circuits intégrés "fabriqués à la demande". Ils peuvent intégrer des structures analogiques et logiques mais sont d'un coût élevé à petite échelle.

Circuits analogiques : ce sont des circuits intégrés qui mettent en forme des informations analogiques.

Circuits programmés : ils nécessitent des informations virtuelles (un programme) régissant leur fonctionnement. Ce sont généralement des circuits logiques (μ Processeur, EPLD...) mais ils peuvent être aussi analogiques grâce aux **DSP** (Digital Signal Processing).

Circuits logiques : regroupent les structures logiques intégrées non programmées.

L'objet de ce cours est d'aborder sommairement la technologie des circuits logiques. Les technologies des circuits analogiques et programmés seront abordés ultérieurement, mais reprendront certaines notions vues ici.

II/ TECHNO. DES CIRCUITS LOGIQUES

Famille logique : les circuits faisant partie d'une même famille logique sont conçus pour être associés ensemble avec des règles d'interconnexions simples et communes. Cela implique:

- un schéma interne reposant sur les mêmes structures
- une même alimentation
- des mêmes niveaux logiques
- des boîtiers identiques

Les familles actuelles en technologie silicium sont:

A partir de transistors bipolaires :

- **saturé :** TTL : Transistor-Transistor-Logic
- **non-saturé :** I²L, CML, ECL (utilisation peu courante)

A partir de transistors MOS (Métal Oxyd Semiconducteurs)

- simple : NMOS, PMOS (utilisation peu courante)
- complémentaires : CMOS (**C**omplementary **M**OS)

Les critères technologiques fondamentaux sont :

- La tension d'alimentation
- Les niveaux logiques : tensions limites associées à chaque niveau
- L'immunité au bruit: capacité à ne pas tenir compte des parasites industriels
 - La sortance : capacité à commander plusieurs autres circuits de même technologie
 - L'encombrement
 - Le temps de commutation
 - La consommation

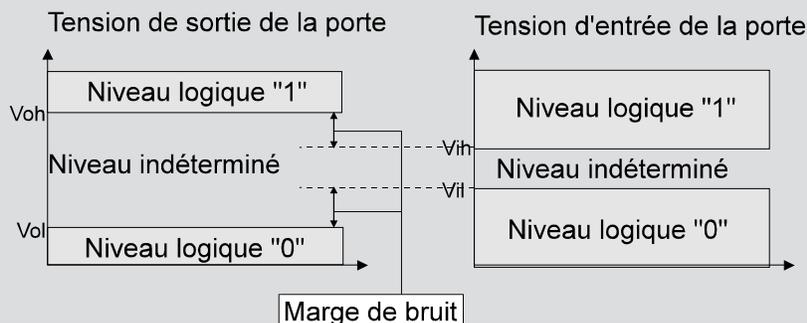
II.1/ Caractéristiques en tension

Définitions :

V_{ih} (Voltage Input High) : Il s'agit de la tension (*voltage*) d'entrée (*Input*) à partir de laquelle le circuit logique considère qu'un niveau logique "1" (*High*) lui est appliqué

V_{il} (Voltage Input Low) : C'est la tension d'entrée limite jusque laquelle le circuit considère qu'un niveau logique "0" (*Low*) lui est appliqué

V_{oh} (Voltage Output High) : C'est la tension de sortie (*Output*) du circuit logique, à partir de laquelle on considère qu'un niveau logique "1" est délivré.



Vol (Voltage Output Low) : c'est la tension de sortie limite en dessous de laquelle on considère qu'un niveau logique "0" est délivré.

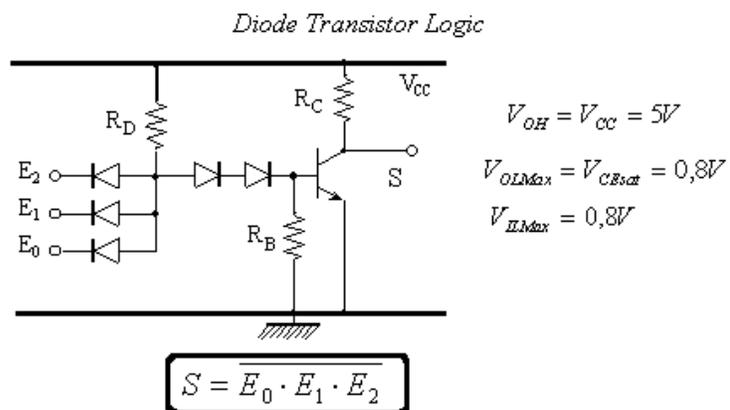
Immunité au bruit ou marge de bruit : C'est une marge de protection qui évite qu'une perturbation (un parasite par exemple) ne change le niveau de sortie de la porte logique. Elle correspond à la différence entre V_{OH} et V_{IL} d'une part et entre V_{IH} et V_{IL} d'autre part. Plus cette marge est importante, et plus le circuit peut être utilisé dans un milieu parasité.

Tension de déchet : C'est la différence de tension entre la tension théorique correspondant respectivement au niveau logique "1" ou au niveau logique "0" et la tension réelle.

II.2/ Technologies à base de transistors bipolaires

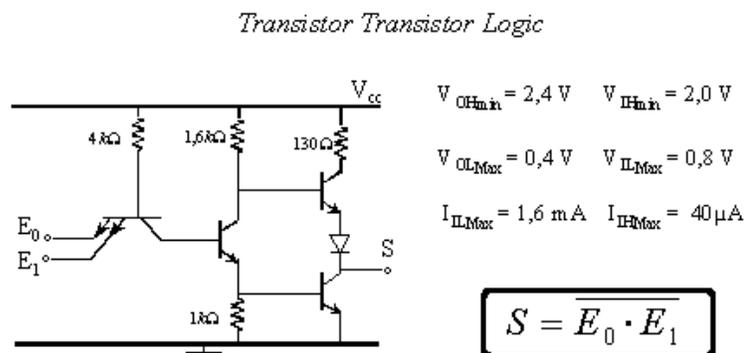
II.2.1/ Logique DTL

Cette technologie peu performante est encore utilisée de manière discrète mais plus sous forme intégrée.



II.2.2/ TTL Standard (TTL Std ou TTL-N)

Cette technologie basée sur des transistors multi-émetteurs a permis la standardisation des circuits TTL au niveau de leur brochage (un circuit 7400 TTL-Std à le même brochage qu'un 7400 TTL-HCT) et des seuils de tension (sauf quelques rares expressions).



La référence de ces circuits commence toujours par 74 en usage général et par 54 en usage militaire.

Pour qu'un transistor multi-émetteur soit saturé, il suffit que l'un des émetteurs assure la saturation.

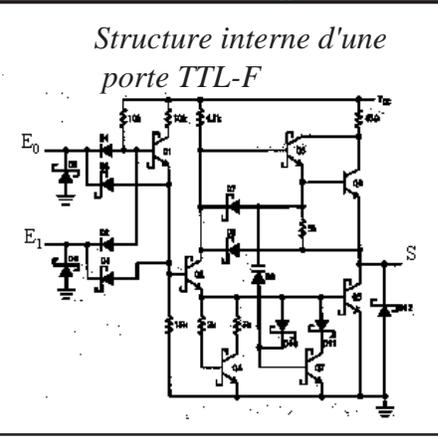
II.2.3/ TTL FAST

La technologie TTL a beaucoup évolué et connaît un grand nombre de variantes. La recherche de rapidité a poussé à l'utilisation de diodes et de transistors Schottky.

La technologie TTL-F est particulièrement utilisée pour son faible temps de propagation.

II.2.4/ Tableau comparatif

	Unité	N	L	S	LS	AS	ALS	FAST
t_{p-P}	pJ	100	33	60	20	33	5	12
$t_{e,HL}$	ns	15	60	6	20	4,5	10	4,3
$t_{p,LH}$	ns	22	60	4,5	20	3	10	5
$I_{cc,H}$	mA	3,5	0,3	5	0,6	4	0,75	2,5
$I_{cc,L}$	mA	1	0,1	2,5	0,2	0,8	0,2	0,7
V_{OL}	V	0,4	0,4	0,5	0,5	0,5	0,5	0,5
V_{OH}	V	2,4	2,4	2,7	2,7	2,7	2,5	2,7
V_{IL}	V	0,8	0,6	0,8	0,8	0,8	0,8	0,8
V_{IH}	V	2	2	2	2	2	2	2
I_{IL}	mA	1,6	0,2	2	0,4	1	0,2	0,6
I_{IH}	µA	40	10	50	20	20	20	20
I_{OL}	mA	16	3,6	20	8	20	8	20
Sortance		10	20	20	22	20	20	33



Définition : Sortance - Facteur de charge -Fan Out : La sortance définit la capacité d'un circuit logique à commander d'autres circuits. C'est donc le rapport entre *I_{ol}* et *I_{il}* à l'état bas et *I_{oh}* et *I_{ih}* à l'état haut. Par soucis de simplification la sortance est généralement calculée en nombre de charges TTL standard. Par exemple :
 Sortance à l'état bas d'un circuit TTL LS : 8mA/1,6mA=5 charges (U.L.)
 Sortance à l'état haut d'un circuit TTL HCT : 400µA/40µA=10 U.L.

II.3/ Technologie à base de transistors MOS

On a fait appel aux transistors MOS car ceux-ci consomment peu, ce qui, dans les applications portables, est un atout considérable.

La série 4000 (appelée ainsi car les références des circuits commencent par 4 suivi de trois chiffres) a été longtemps utilisée dans les applications nécessitant une certaine autonomie ou une bonne immunité au bruit.

Aujourd'hui elle est délaissée au profit de la technologie TTL-HCT, mais on la rencontre encore fréquemment dans les structures électroniques.

La technologie CMOS utilise les transistors CMOS par paire complémentaire.

La tension d'alimentation peut aller de 3V à 18V

$V_{oh}=V_{dd}$ $V_{ih}=0,7 \times V_{dd}$ $I_{il}=I_{ih}=\text{quelques nA}$
 $V_{ol}=0V$ $V_{il}=0,3 \times V_{dd}$ $I_{oh}=I_{ol}=1mA$

Immunité au bruit= 0,3xV_{dd}.

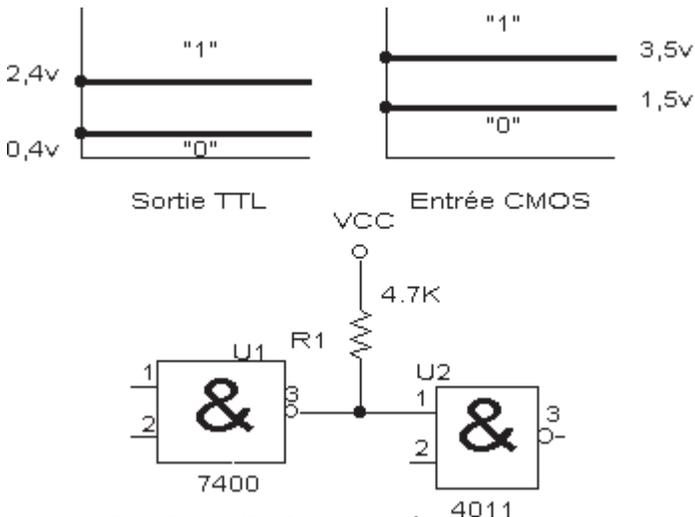
II.4/ Comparaison TTL/CMOS

	CMOS	CMOS	Bipolaire	CMOS
	CD4000	HEF4000	TTL-LS	TTL-HC
Alimentation	3 à 15 V	3 à 15 V	5 V	2 à 6 V
P statique	2,5 nW	2,5 nW	2 mW	2,5 nW
P dynamique (par porte, V _{cc} = 5 V CL = 50 pF)				
10 k:Hz	25 µW	16 µW	2 mW	14 µW
100 k:Hz	250 µW	160 µW	2 mW	140 µW
1 MHz	2,5 mW	1,6 mW	2,8 mW	1,4 mW
10 MHz	-	-	12,5 mW	14 mW
Rapport PF (mW/MHz)	2,5	1,6		1,4
Sortance (TTL)	1	1	10	10
F _{réq} max	3 MHz	5 MHz	25 MHz	25 MHz

III/ COMPATIBILITÉ INTER-TECHNOLOGIQUE

Les niveaux de tensions et de courant n'étant pas les mêmes d'une technologie à l'autre, il est nécessaire de mettre en oeuvre dans certains cas des structures d'interfaçage dont voici quelques exemples.

III.1/ CMOS piloté par TTL - alimentation de 5v



On remarque en observant les niveaux de tension des deux technologies, que le niveau logique "0" ne présente pas d'incompatibilité mais qu'un problème se pose pour le niveau logique "1". En effet une tension de 2,4v en sortie d'une porte TTL sera considérée comme un niveau indéterminé pour la porte CMOS.

Pour remédier à ce problème, une **résistance de tirage vers le haut** ou de **Pull-Up** de valeur comprise entre $1K\Omega$ et $10K\Omega$ permet de ramener les niveaux de tension à une valeur compatible.

III.2/ CMOS piloté par TTL - alimentation différente de 5v pour la porte CMOS

NB 2008

Dans ce cas de figure on fait en sorte que la porte logique TTL soit à collecteur ouvert. La résistance de Pull-Up doit alors être reliée à la tension d'alimentation de la porte CMOS.

Définitions :

Sortie à Totem Pôle : La plupart des circuits en technologie TTL disposent de sorties à totem pôle permettant de délivrer une tension proche de 0v pour le niveau logique "0" et proche de 5v pour le niveau logique "1". Deux ou plusieurs sorties de ce type ne doivent jamais être reliées entre elles.

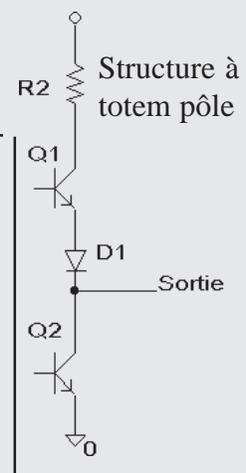
Sortie à collecteur ouvert :



Quand un circuit dispose d'une sortie à collecteur ouvert, cela signifie que son transistor de sortie n'est pas polarisé complètement et que la patte de sortie est reliée uniquement au collecteur de ce transistor. Pour pouvoir utiliser la sortie, il faudra faire appel à une résistance de Pull Up.

Cette structure présente de multiples avantages :

- courant de sortie plus important
- capacité de fournir une tension de sortie supérieure à la tension d'alimentation
- interconnexion de plusieurs sorties.



III.3/ TTL piloté par CMOS - alimentation de 5v

Les tensions de sortie et d'entrée sont parfaitement compatibles dans ce cas. Par contre, lorsqu'une entrée TTL est au niveau bas elle nécessite selon la technologie (1,6mA en standard) un circuit suiveur en technologie TTL adapté (2 circuits 74LS04 par exemple). Dans le cas où le circuit TTL est en technologie LS ou HCT la compatibilité est totale.

III.4/ TTL piloté par CMOS - alimentation du circuit CMOS supérieure à 5v

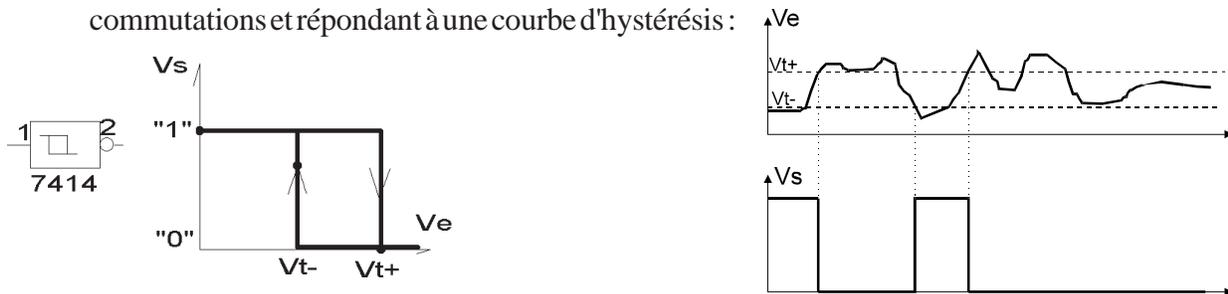
Dans ce cas il faudra intercaler un circuit CD4050B entre le circuit CMOS et le circuit TTL.

IV/ CARACTÉRISTIQUES SPÉCIFIQUES

IV.1/ Circuits Trigger : Mise en forme de signaux

En logique TTL, la plage de tension comprise entre V_{il} et V_{ih} est considérée comme incertaine. Si la tension d'entrée d'une porte varie légèrement autour d'une de ces valeurs, on ne peut prévoir l'état de sortie de la porte.

Certaines portes logiques disposent d'entrées à seuil (Trigger) possédant deux seuils de commutations et répondant à une courbe d'hystérésis :



Ces portes sont utilisées pour passer d'un signal analogique à un signal logique.

IV.2/ Sorties à 3 états

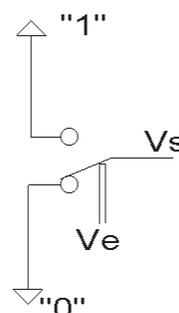
Les portes logiques vues jusqu'à présent permettent d'obtenir en sortie un niveau logique "0" et un niveau logique "1" en basse impédance.

Pour certaines applications, en particulier dans le domaine de l'informatique et des architectures à microprocesseurs, il est nécessaire de déconnecter une sortie d'une autre ce qui revient à les mettre en haute impédance. Les figures simplificatrices suivantes permettent de mieux comprendre les deux cas.

Un circuit disposant d'une sortie 3 états (Three-States) est muni d'une entrée supplémentaire de validation de la sortie.

Ces sorties seront à nouveau étudiées lors de l'étude des microprocesseurs.

Sortie totem-pôle



Sortie 3 états

